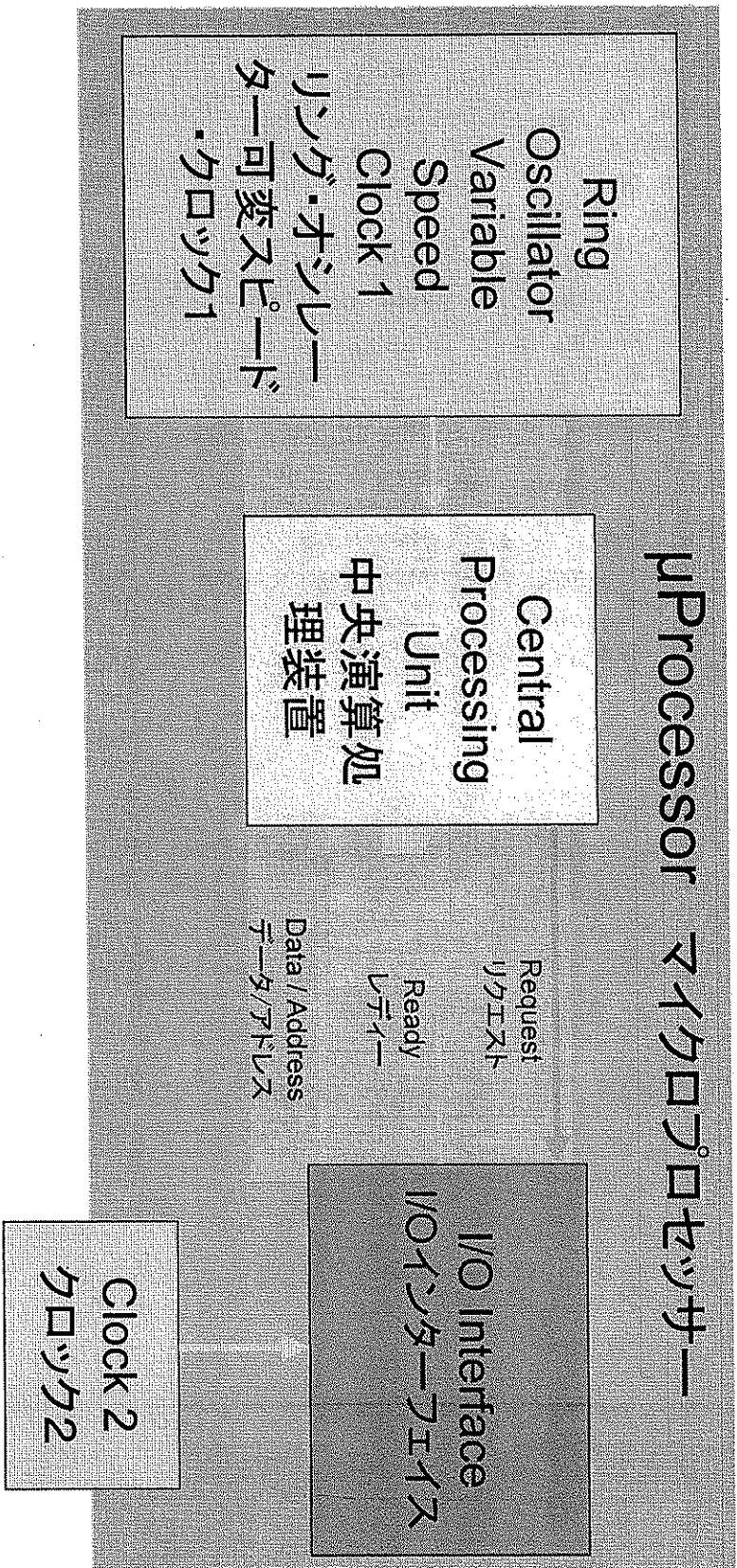


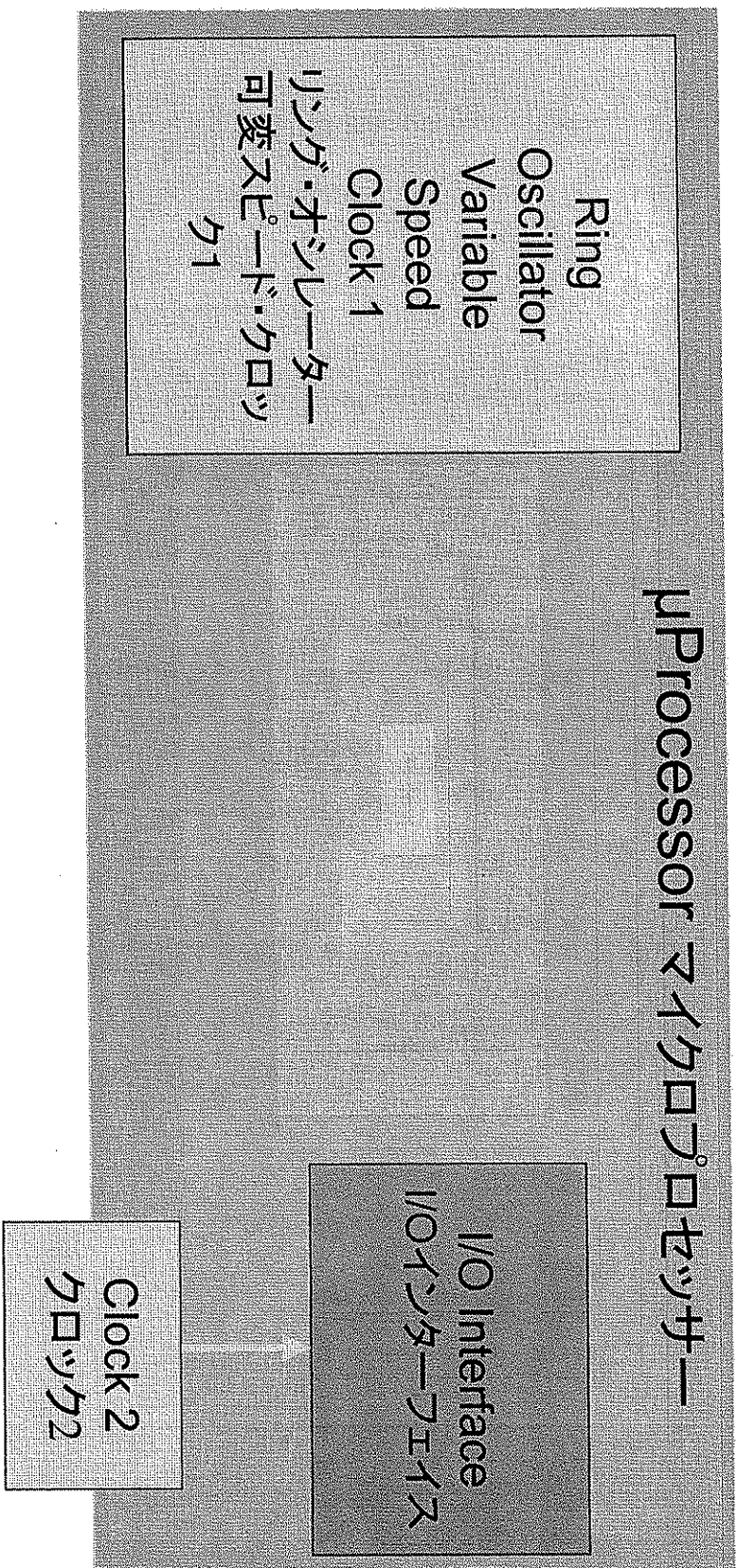

Alliacense

US '336 Claim 1 米国特許'336 クレーム1



/////
Alliacense

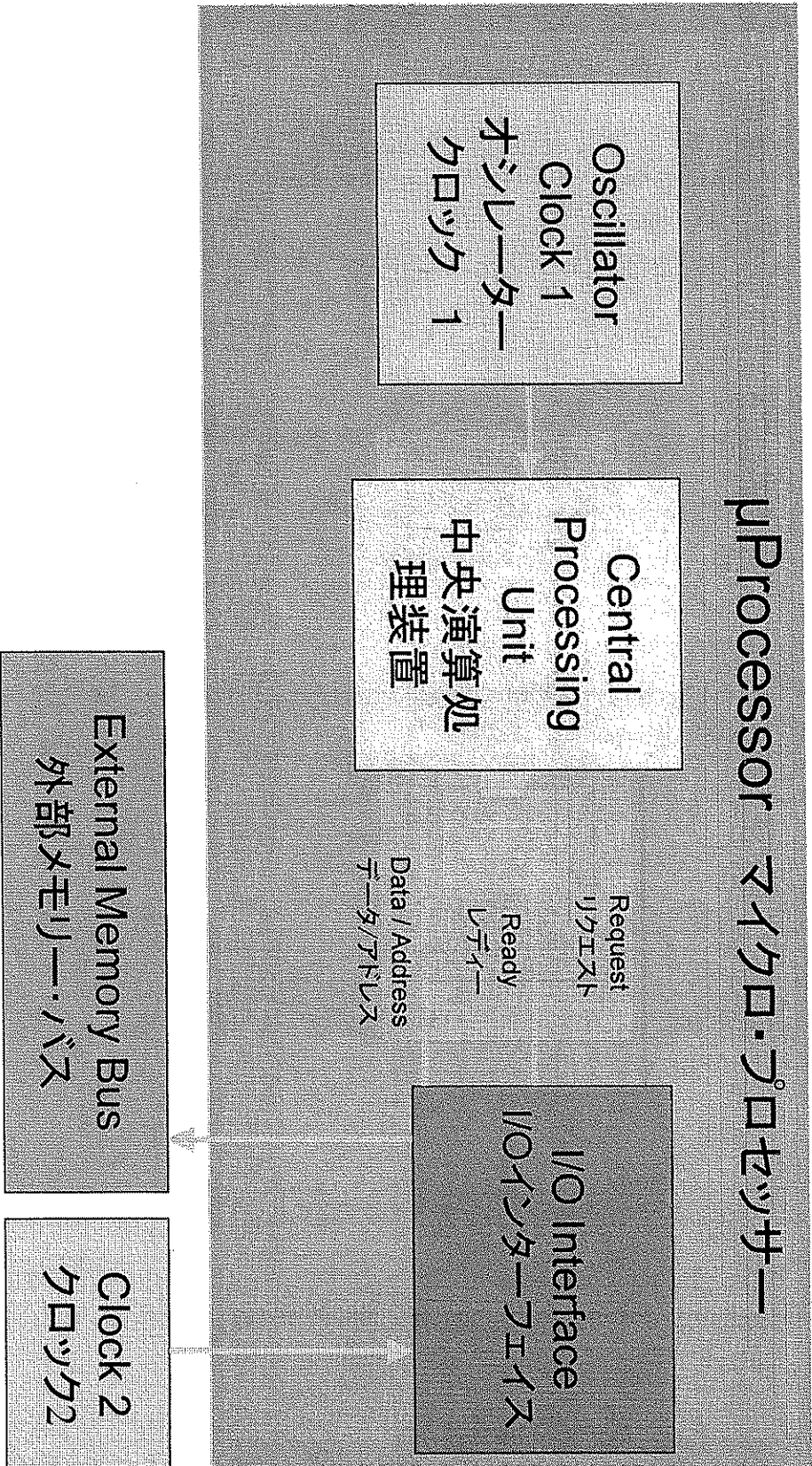
US '336 Claim 3
米国特許'336 クレーム3





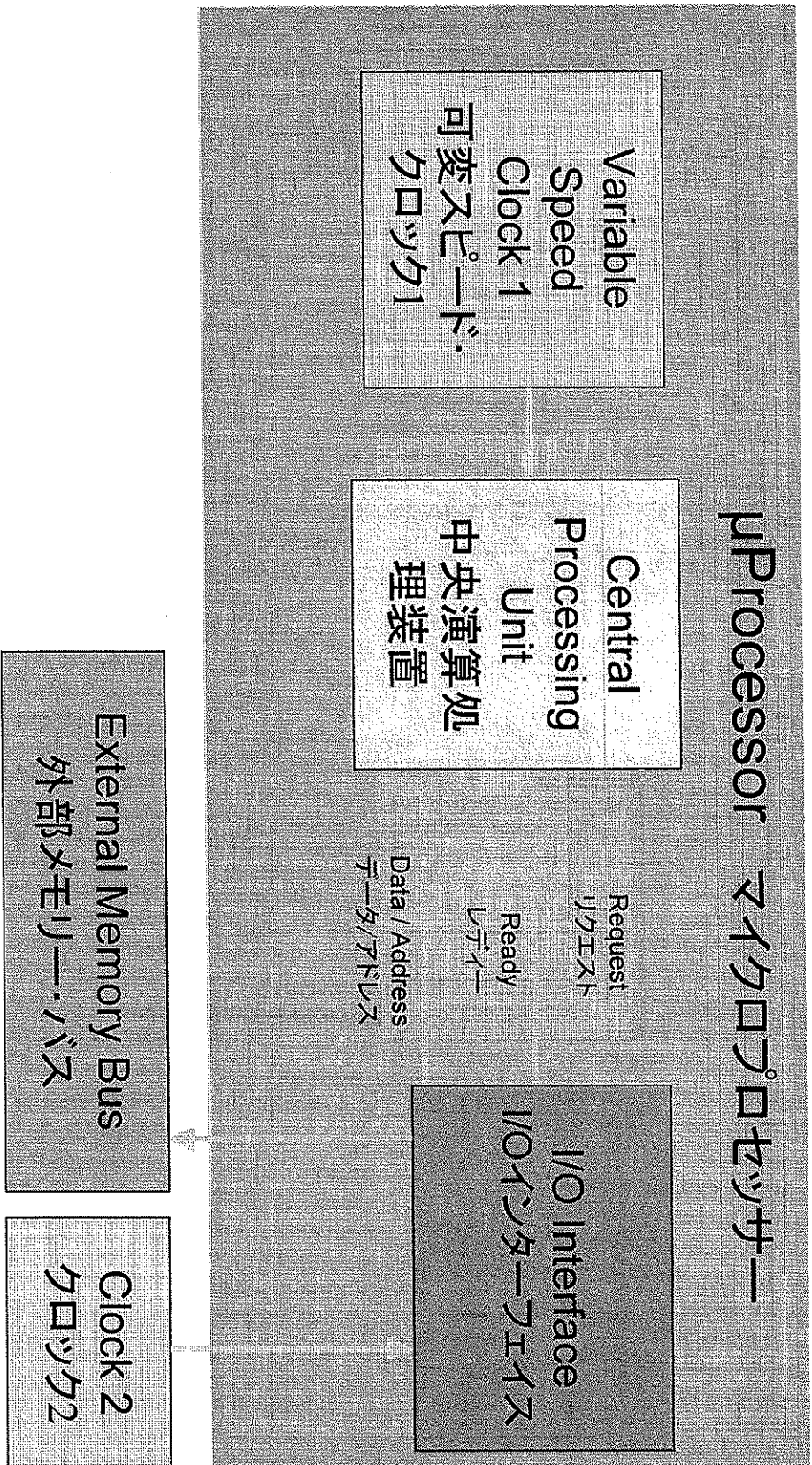
Alliacense

US '336 Claim 6 米国特許'336 クレーム6



Alliacense

US '336 Claim 10 米国特許'336 クレーム10





Alliacense

Varying Together
— 一緒に変動

ALL
ON-CHIP
OSCILLATORS
ARE
VARIABLE

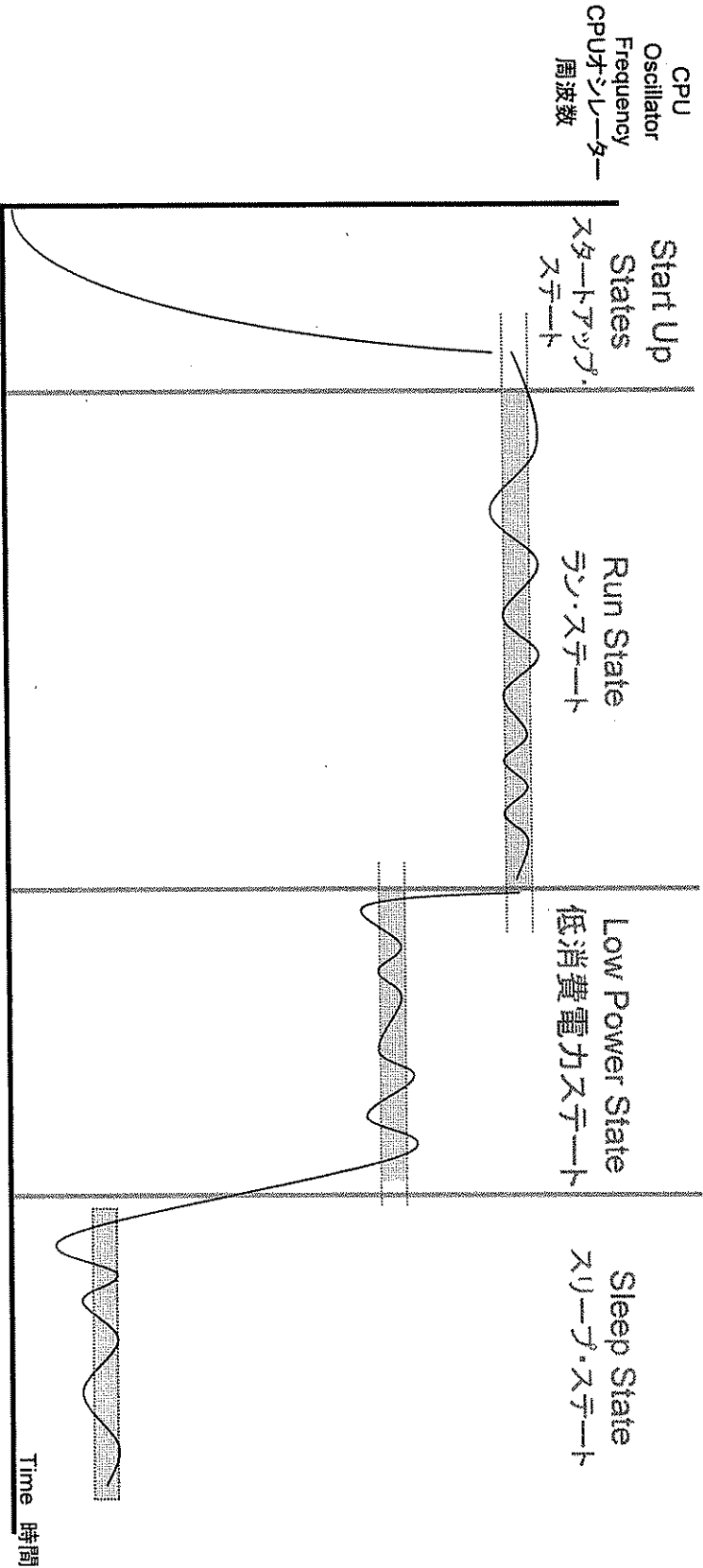
あらゆる
オンチップ・
オシレーターは
変動する

- Without exception
 - Despite the On-going Best Efforts of Industry
 - For the Foreseeable Future
 - Thus, the Frequent Use of PLLs
- 例外無しに
 - 業界の継続した最善の努力にも関わらず
 - 将来、当分の間
 - 故に、頻繁なるPLLsの使用

Alliacense

Variations during operation 操作中の変動

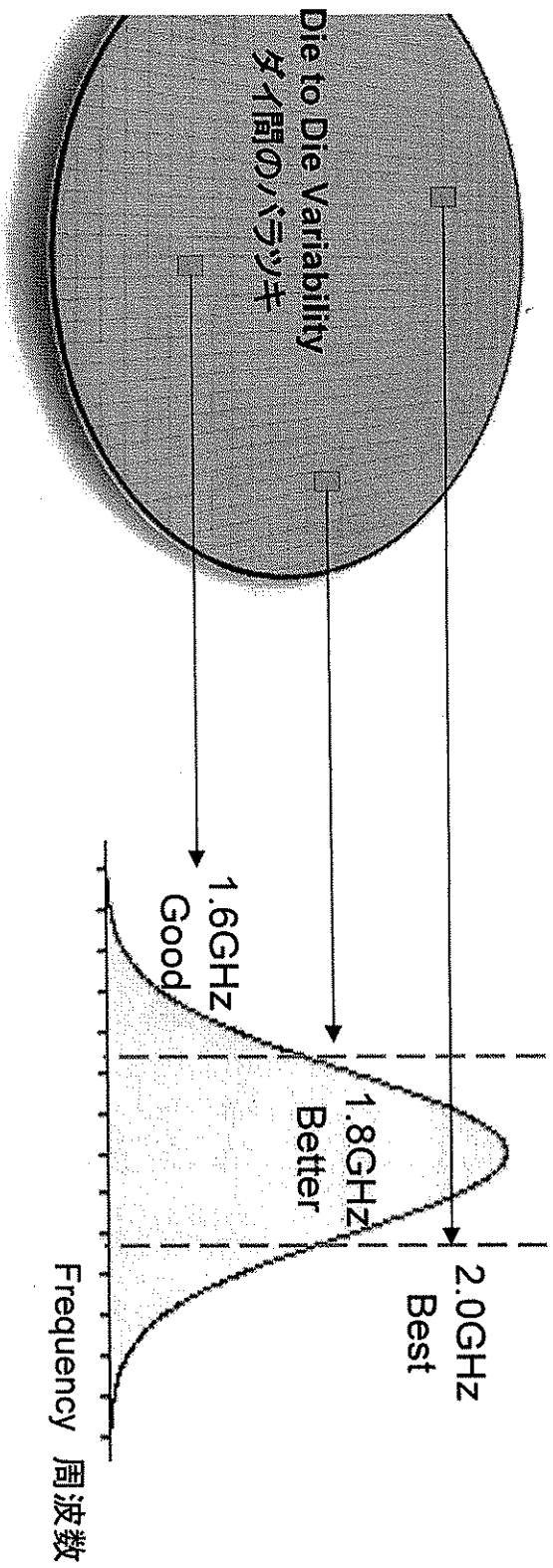
- Operation outside of the programmed range
 - State-to-state variation
 - Variability in the start up state (PLL not yet involved)
- プログラム範囲外での動作
 - ステート間のバリエーション
 - 開始時ステートのバリエーション (PLL はまだ関与していない)



Alliacense

Die to Die Manufacturing Variations ダイ間の製造バラツキ

- Processing frequency varies due to variations in manufacturing process
- 処理周波数は製造プロセスバラツキによって変動する




 Alliacense

US '336 Clock 2
 米国特許'336 クロック2

CLK2- Sources for Clocking		
2		
External Clock	Internal Clock	
Claims 1, 3, 6 & 10	Claims 1 & 3	
Embedded Clock	Dedicated Clock Pin	
Video, Audio Ethernet Fiber Channel Serial ATA IEEE 1394 USB Bluetooth	DVI PCI SPI AGP MII I2C Neighboring Processor Ultra ATA	Sub-clock I/O Oscillator

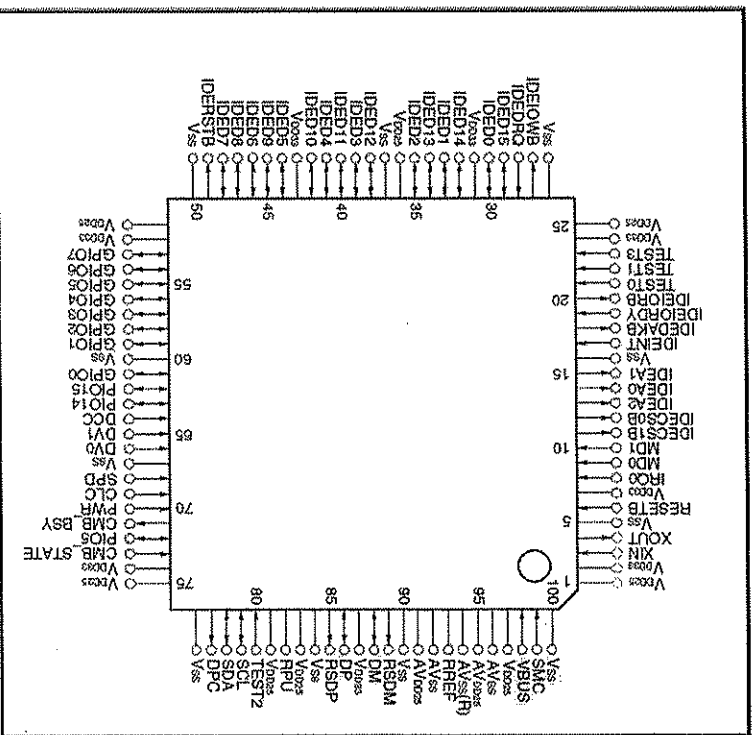
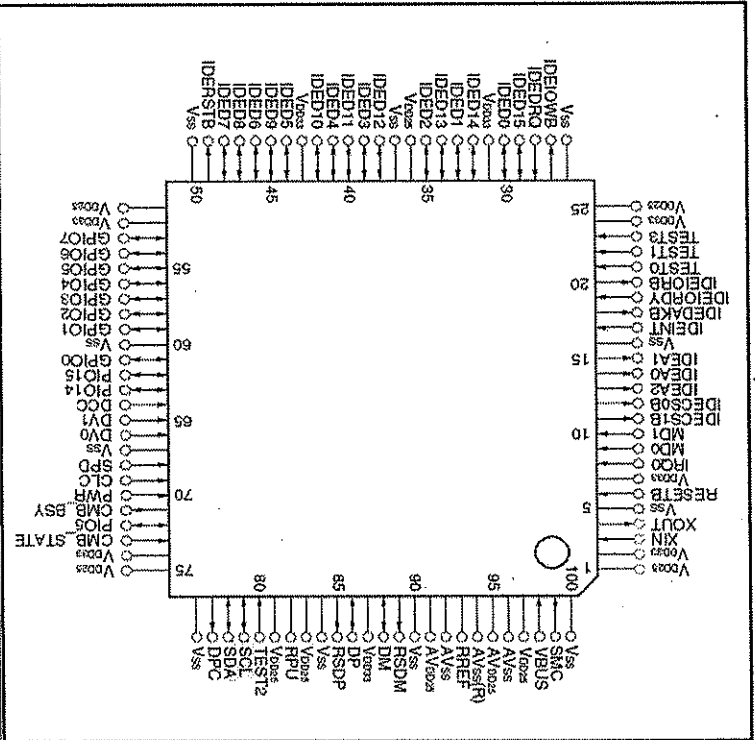
Alliaccense

Sources of Clocking クロッキング・ソース

Dedicated Clocking Pin [I2C]
専用クロッキング・ピン[I2C]

Embedded Clocking [USB]
内蔵クロッキング[USB]

SCL-Clock ; SDA- Data



NEC uPD720130 Datasheet, NEC,p.3

Alliacense

CLK2 Sources - USB クロック2ソース-USB

tries a receiving stream,
grammed in the following

トリームの伝達を行い、それ
は次図を参照のこと。



14



Alliacense

US'148 Summary 米国特許'148要約

US'148 米国特許'148	Embedded Memory & Inter-processor Communication 内蔵メモリー&プロセッサ間コミュニケーシヨン
--------------------	--

- Modern Necessity
- Found in Most
 - Microcontrollers with Flash Memory
 - μ Processors
 - Systems on Chip
- Advertisised
 - Core Size
- 現代の必需品
- 殆どの下記の製品に見られる
 - フラッシュ・メモリー付マイクロコントローラ
 - マイクロプロセッサ
 - システムズ・オン・チップ
- 宣伝は
 - コア・サイズ



Alliacense

US '148 Structure 米国特許'148 構成

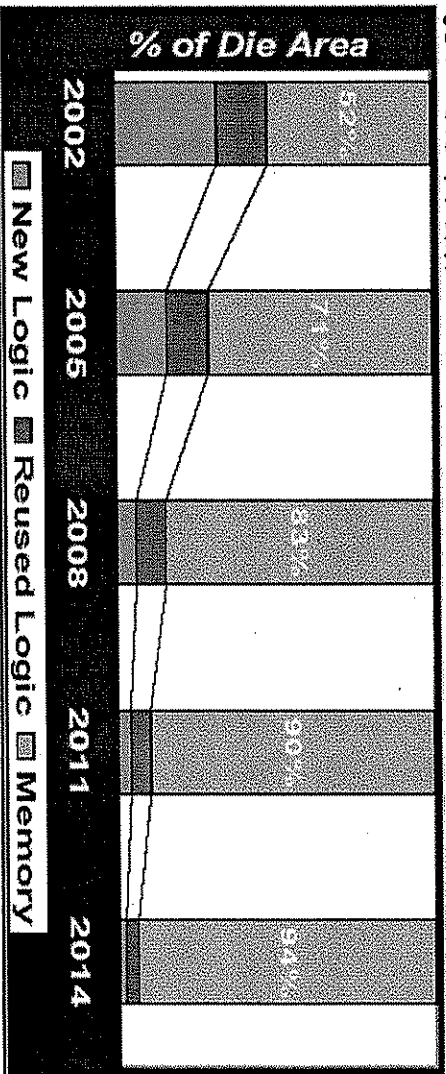
- 4 Independent Claims
 - 1, 4, 8, 11
- 独立した4つのクレーム
 - 1, 4, 8, 11
- Basic Elements
 - CPU with Variable Speed Clock & Memory On-Chip
 - Memory Larger than CPU
 - Memory Majority of Chip
- 基本要素
 - 可変スピードクロックとメモリ・オン・チップのCPU
 - CPUより大きなメモリ
 - チップの大多数がメモリ

Alliaccense

US '148 Systems on Chip 米国特許'148 システムズ・オン・チップ

Embedded Memory Increasingly Dominates Chip Area for SoC

SoCにおいては、内蔵メモリーはますますチップ・エリアを支配する



**Embedded Memory becomes a
Key Differentiator in Technology Offerings**

Embedded Market Convergence - Rising to the Challenge, Simson, Embedded Processor Forum, June 2003, pg. 54

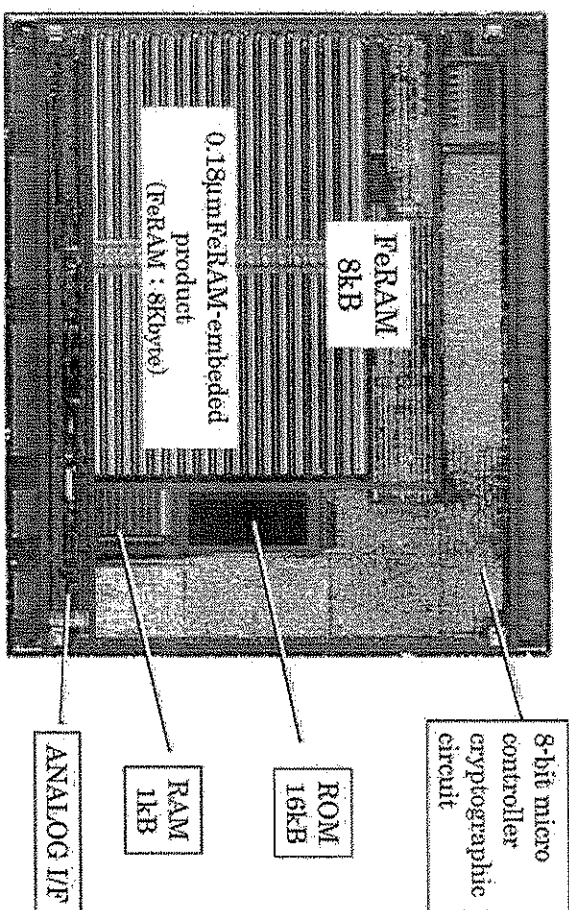
Alliaccense

US '148 Example 米国特許'148 事例

Total on-chip embedded memory occupies 50.76% of the total die area.
オン・チップ内蔵メモリーの合計はダイ・エリア合計の50.76%を占める

Characteristics of the world's first mass production of 0.18 FeRAM-embedded SoCs 1)

■ Achieves smaller chip size, about one-fifth of previous products with 8K byte FeRAM.



Panasonic

The world's first mass production of FeRAM-embedded system-on-a-chip (SoC) using a 0.18 µm processing technology.

JULY 14, 2003

Alliacense

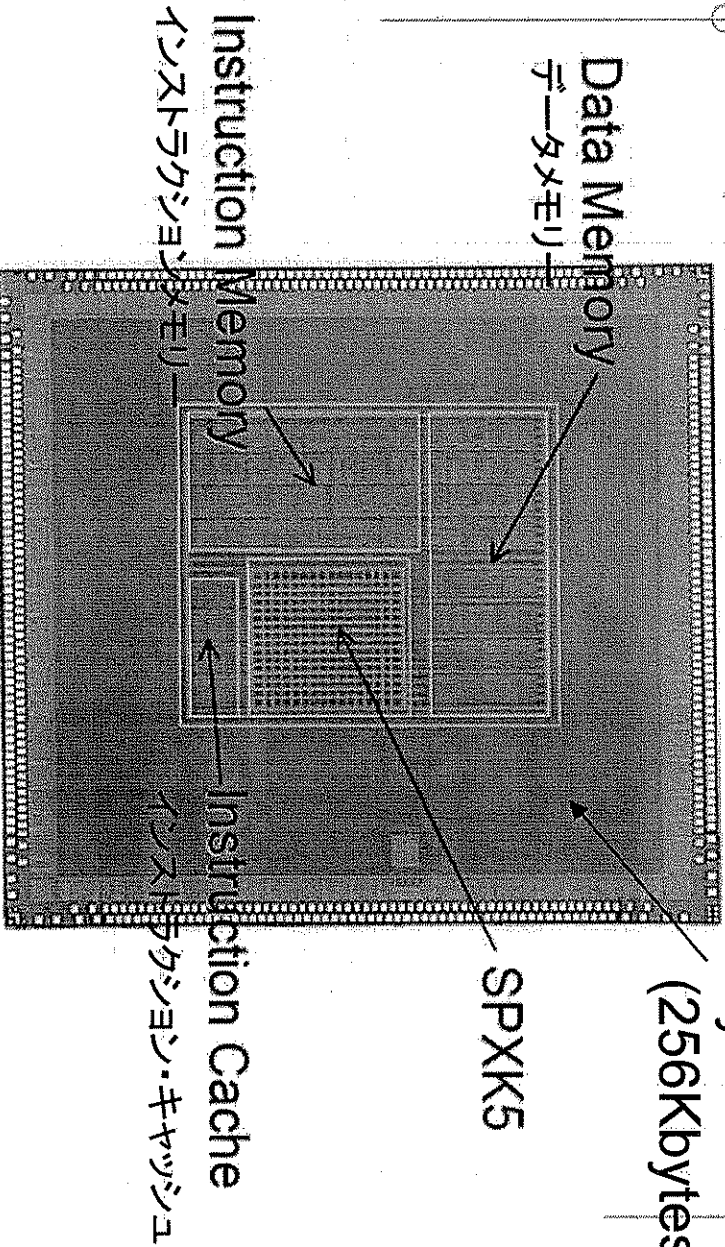
US '148 Example 米国特許'148 事例

Total on-chip embedded memory occupies 92.4% of the total die area
オン・チップ内蔵メモリーの合計はダイ・エリア合計の92.4%を占める

SPXK5 Super Core TEG-chip

System Memory
(256Kbytes)

SPXK5

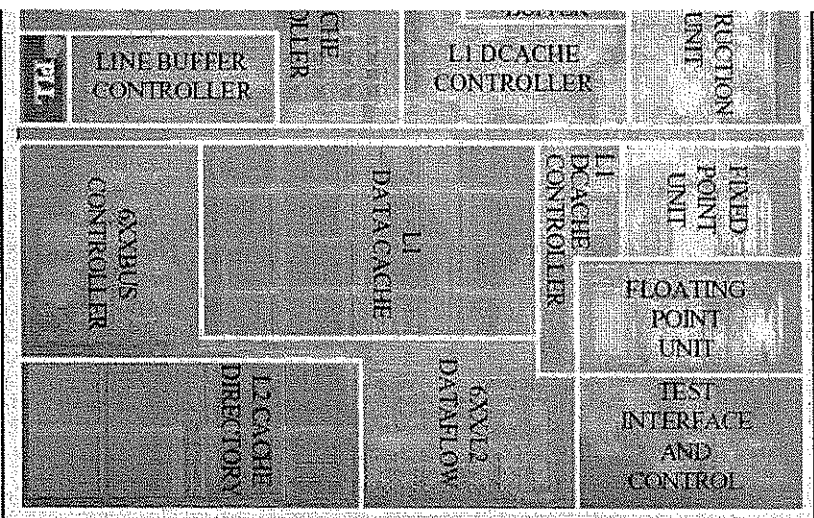


NEC
The μ PD77050-A New Low-power DSP for Mobile Multimedia Applications, IKEKAWA, EPF 2002, pg. 12

Alliacense

US '148 Example 米国特許'148 事例

Total on-chip embedded memory occupies 80.07% of the total die area
オン・チップ内蔵メモリーの合計はダイ・エリア合計の80.07%を占める



A Multithreaded PowerPC Processor for Commercial Servers, Borkenhagen et al., MEI J. RES. DEVELOP. VOL. 44 NO. 6 NOVEMBER 2000, p.888.

Alliacense

US '148 Example 米国特許'148 事例

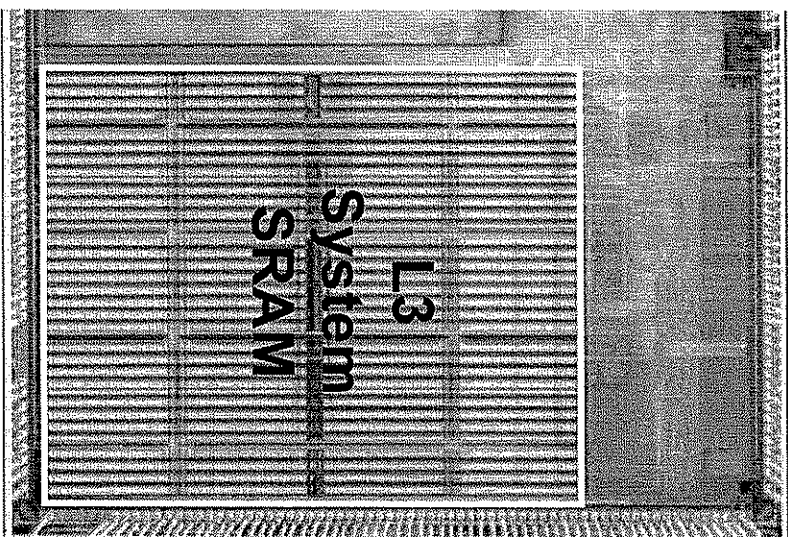
Total on-chip embedded memory occupies 57.3% of the total die area
オンチップ内蔵メモリーの合計はダイエリア合計の57.3%を占める

L2 Cache

L1 Cache

MCU
Cache

L2 Cache



Blackfin DSP & Arm7TDMI Analog Device

Level 2 Chipography LG A7110, Portelligent, July 2005



Alliacense

US '584 In Brief 米国特許'584 要約

US'584 Multiple Instruction Fetch 米国特許'584 マルチ・インストラクション・フェッチ

- Breaks the 1 Instruction per Cycle Bottleneck
 - サイクル当り1インストラクションというボトルネックを解決
- Modern Necessity
 - Embedded Processors
 - μ Processors
 - Systems on Chip
 - 現代の必需品
 - 内蔵プロセッサ
 - マイクロプロセッサ
 - システムズ・オン・チップ
- Advertised Widely
 - 広く宣伝されている
- Examples of Multiple Instruction Fetch
 - Superscalar
 - VLIW
 - SIMD, MIMD
 - Compression/Substitution
 - マルチ・インストラクション・フェッチの例
 - Superscalar
 - VLIW
 - SIMD, MIMD
 - Compression/Substitution



Alliacense

US '584 Structure 米国特許' 584 構成

- 3 Independent Claims
 - 1, 20, 29
- 3つの独立クレーム
 - 1, 20, 29
- Basic Elements
 - CPU + Memory
 - Multiple Instruction Fetch by:
 - Fetching Groups of Instructions From Memory
 - Identifying Operand or Instruction Based on Position within Group
 - Supplying identified Operand or Instructions or both to the CPU
- 基本要素
 - CPU + メモリ
 - マルチ・インストラクション・フェッチは。。。
 - メモリーから複数インストラクショングループをフェッチング
 - グループ内の位置により、オペランドまたはインストラクションを認識
 - 認識されたオペランドまたはインストラクション、またはその両方をCPUに供給



Alliaccine

MMP Portfolio Summary

MMPポートフォリオ要約

- MMP Not Subject to Mandatory Licensing
- MMP is a "Multiple Patent" Portfolio
 - 11 Independent Claims
 - 52 Claims in Total
 - Statistical Likelihood of Avoiding all Claims is Nominal
- Proof of Infringement is Publicly Available
- US Law Gives MMP a Strong Presumption of Validity
- MMPポートフォリオは強制ライセンスングの対象ではない
- MMPは「複数特許」ポートフォリオである
 - 11の独立クレーム
 - 合計で52クレーム
 - 全クレームを回避するという統計的見込みは極めて少ない
- 侵害の証拠は公けの場所から入手できる
- 米国法はMMPに対し、強力な有効性の推定を与える



Alliacense

Indemnity for Infringement 侵害における損失補償

- Ability to seek refuge in indemnity contracts is remarkably impaired
- Dilution & Redirection: most systems include many chips from multiple vendors
- System-Level Infringement: MMP Portfolio contains system-level claims.
- Indemnity Exclusions:
 - Microprocessors rarely act "alone and not in combination"
 - Chips regularly made to customer specifications (eg, SOC's)
- Failure to Mitigate Damages: Program rates widely understood to increase over time and between rounds.
- 損失補償契約上における避難追及能力は著しく損なわれる
- 希薄化および方向転化: 殆どのシステムは複数業者からの多チップを包含している
- システムレベル侵害: MMP ポートフォリオはシステムレベルのクレームを含んでいる
- 損失補償免責:
 - マイクロプロセッサが「組み合わせて使用されずに単一で使用されること」はまれである
 - チップが顧客仕様に合わせて製造されることは一般的に行われている(例: SOC's)
- 損害額の回避・軽減に失敗した場合: プログラム・レートは時間とラウンドの経過に従って上昇するということは広く理解されている



Alliacense

Agenda アジェンダ

- TPL Overview
- TPL 概要
- MMP Portfolio Overview
- MMP ポートフォリオ概要
- MMP Licensing Program
- MMP ライセンシング・プログラム

The logo for Alliacense, featuring a stylized graphic of several parallel diagonal lines above the word "Alliacense" in a serif font.

Alliacense

MMP Licensing Program MMPライセンス・プログラム

Status

ステータス